

采用分布式谐振回路的毫米波 CMOS 压控振荡器

孙 凯^{1,2}, 张 健^{1,2}, 刘 昱², 李志强², 陈延湖¹

(1 山东大学 信息科学与工程学院, 山东 济南 250100;

2 中国科学院 微电子研究所, 北京 100029)

摘 要: 设计了一款应用于毫米波频率综合器的压控振荡器 (Voltage Controlled Oscillator, VCO)。振荡器谐振回路采用分布式电感电容结构, 相比传统结构可以提高振荡频率, 降低振荡所需的环路增益; 优化谐振网络中电容的设计, 提高调谐范围; 电磁仿真毫米波段电感, 提高品质因数, 降低相位噪声。电路设计采用 SMIC 40 nm 1P6M RF CMOS 工艺。仿真结果表明, 频率调谐范围为 56.1~61.2 GHz (5.1 GHz, 8.7%), 振荡中心频率处的相位噪声为 -88 dBc/Hz@1 MHz。电源电压 0.8 V 下, 电路功耗为 3.3 mW。芯片核心面积为 0.013 5 mm²。

关键词: 压控振荡器; 分布式谐振回路; 调谐范围; 相位噪声; 毫米波; 电感建模

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2015)11-0129-04

A Millimeter-wave CMOS VCO Using Distributed LC Tank

SUN Kai^{1,2}, ZHANG Jian^{1,2}, LIU Yu², LI Zhi-qiang², CHEN Yan-hu¹

(1 School of Information Science and Engineering, Shandong University, Jinan 250100, China;

2 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A voltage controlled oscillator (VCO) was designed for millimeter-wave band frequency synthesizer. The oscillation frequency was enhanced and the minimum required loop gain was decreased compared to the conventional structure by using the distributed LC tank. Frequency tuning range was enhanced by optimizing the design of capacitance in the LC tank. Differential inductor was designed and modeled for millimeter-wave band using electromagnetic simulator. The quality factor and phase noise was improved due to the proposed inductor. The design is based on SMIC 40 nm 1P6M RF CMOS process. Post-simulation shows that the VCO has a tuning range of 5.1 GHz (8.7%) from 56.1 GHz to 61.2 GHz. The phase noise is -88 dBc/Hz at 1 MHz offset at the center frequency. The VCO consumes 3.3 mW from a 0.8 V power supply and the chip area is 0.013 5 mm².

Key words: VCO; distributed LC tank; tuning range; phase noise; millimeter-wave; inductor modeling

1 引 言

毫米波技术可应用于高速短距离无线通信和毫米波雷达等领域, 是当前无线通信技术中最具潜力的技术之一。CMOS 技术的快速发展使得有源器件应用于毫米波频段成为现实, 因而 CMOS 毫米波集成电路设计成为当前学术界和工业界的研究热点^[1]。压控振荡器 (VCO) 是锁相环频率合成器的重要模块, 它的调谐范围和相位噪声等性

能决定了锁相环的工作性能, 进而影响整个通信系统的质量。

毫米波电路设计必须考虑高频寄生效应、趋肤效应以及电磁耦合效应对电路性能的影响。毫米波压控振荡器的设计要在面积、功耗、相位噪声和调谐范围等性能之间进行折中考虑^[2]。其中, 如何降低功耗和相位噪声, 增大调谐范围是设计难点。本文基于 SMIC 40 nm RF CMOS 工艺, 采用分布式谐振回路结构, 优化电容设计和电感设计, 以实现振荡器芯片

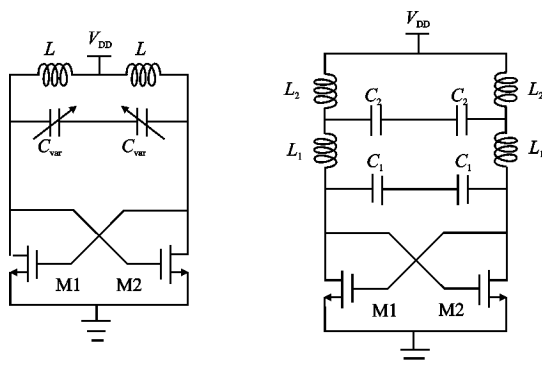
收稿日期: 2015-01-29; 修回日期: 2015-04-02

基金项目: 中国科学院国际合作局对外合作重点项目 (172511KYSB20130108)

面积小、功耗低、调谐范围宽和相位噪声低的目标。

2 分布式谐振回路

差分负阻 LC 振荡器是 CMOS 集成电路中最常采用的振荡器拓扑结构,具有结构简单对称、差分输出和相位噪声好等优点^[2]。传统的电感电容交叉耦合负阻振荡器中,LC 谐振回路确定振荡频率 ω_0 ,交叉耦合管 M1、M2 提供负阻补偿谐振回路的能量损失,电路原理图如图 1(a)所示。



(a) 传统 LC VCO (b) 分布式 LC VCO

图 1 传统 LC VCO 与分布式 LC VCO

振荡器的谐振回路中电容的贡献包括固定电容、MOS 管可变电容、交叉管和放大管的寄生电容以及电感及连线引入的寄生电容。将固定电容和所有寄生电容记为 C_{fix} ,可变电容记为 C_{var} ,变化范围为 $C_{\text{var, min}} \sim C_{\text{var, max}}$ 。振荡器振荡频率 ω_0 的表达式为

$$\omega_0 = \frac{1}{\sqrt{L(C_{\text{fix}} + C_{\text{var}})}} \quad (1)$$

振荡器调谐范围 FTR(frequency tuning range) 表达式为

$$\text{FTR} = \frac{1}{2\pi} \left(\frac{1}{\sqrt{L(C_{\text{fix}} + C_{\text{var, min}})}} - \frac{1}{\sqrt{L(C_{\text{fix}} + C_{\text{var, max}})}} \right) \quad (2)$$

采用分布式电感电容谐振回路的压控振荡器电路原理图如图 1(b) 所示^[3]。假设图 1(a) 中传统谐振回路的总电感大小固定为 L ,总电容大小固定为 C 。在分布式谐振回路中,记

$$C_1 = \frac{1+\alpha}{2}C \quad C_2 = \frac{1-\alpha}{2}C \quad (3)$$

$$L_1 = \frac{1+\beta}{2}L \quad L_2 = \frac{1-\beta}{2}L \quad (4)$$

式中, α 和 β 为比例因子,此时该振荡器的振荡频率为 $k\omega_0$,频率加强因子 k 的表达式为

$$k = \sqrt{\frac{A - \sqrt{A^2 - 4B}}{2B}} \quad (5)$$

其中 A 和 B 的表达式分别为

$$A = \frac{3 + \alpha - \beta + \alpha\beta}{4}, B = \frac{1 - \alpha^2 - \beta^2 + \alpha^2\beta^2}{16} \quad (6)$$

对于不同的比例因子 α 和 β ,频率加强因子 k 不同。特别是,当 $\alpha = 0, \beta = 0$ 时, $k = \sqrt{5} - 1 \approx 1.236$ 。由式(5)可知,减小 α ,增大 β 可以增大 k 值,即增大 C_2 和 L_1 (减小 C_1 和 L_2) 可以提高振荡频率^[3]。

在毫米波频段,直接振荡在 60 GHz 附近的传统谐振回路中,通常电感小于 100 pH,电容小于 100 fF。电感越小,并联等效电阻越小,要求交叉管的跨导越大,从而导致功耗越大。电容越小,可调范围越小^[2]。相比传统结构,分布式谐振回路可以成比例地提高振荡频率,降低电路的设计难度。根据文献^[3]中的分析,相比传统谐振回路,分布式谐振回路结构还可以降低振荡所需的最小环路增益,从而可以降低交叉管的跨导,降低电路功耗^[3],如图 2 所示。

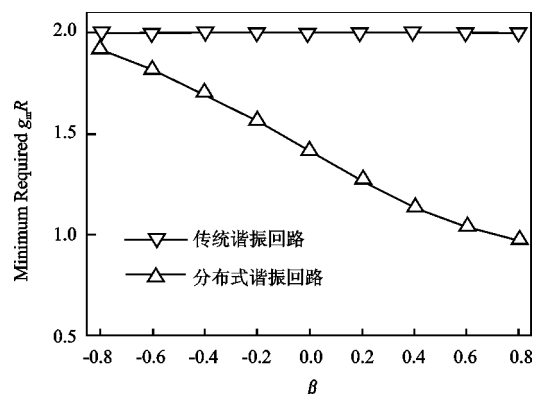


图 2 最小环路增益与 β 值的关系

3 压控振荡器设计

基于分布式电感电容谐振回路,本文提出的振荡器电路如图 3 所示。电路由谐振回路,交叉管 M1、M2 和输出缓冲放大器 M3、M4 构成。谐振回路中心抽头电感 L_2 和单圈电感 L_1 尺寸相同, L_1 感值约等于 L_2 两倍,从而可以增大 k 值,提高振荡频率。 C_1 由交叉管的寄生电容提供, C_2 由可变电容 C_{var} 和缓冲放大器的寄生电容提供。

采用自偏置的交叉耦合负阻振荡器中,由于 NMOS 管相较 PMOS 管在相同尺寸下能够提供更大的跨导,所以使用 NMOS 交叉管能够减小引入的

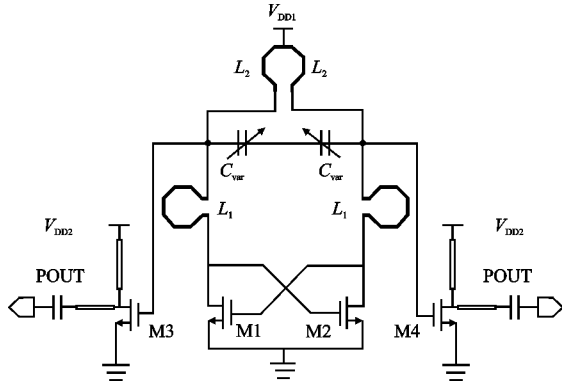


图3 本文振荡器的电路图

寄生电容,从而减小 C_1 的值,增大 k 值。为便于测试,在振荡器输出端和芯片焊盘之间加入了微带线作负载的共源结构的缓冲放大器。

3.1 电容设计

由式(5)可知, C_2 对电路振荡频率和调谐范围的贡献高于 C_1 。所以本文振荡器中 MOS 管可变电容 C_{var} 放置在 C_2 处,有利于提高振荡频率,扩大调谐范围。毫米波段电容的品质因数急剧下降,成为影响谐振回路性能的重要因素^[4]。积累型 PMOS 管可变电容相对于其他 MOS 管可变电容具有寄生电阻低和品质因数高的特点,并且电容-电压曲线具有良好的单调性,适用于毫米波振荡器。由于可变电容与电路直连,端口电压受电源电压影响,因此降低电源电压有利于增大 $C_{var, max}/C_{var, min}$ 的值,如图4所示。本文振荡器中可变电容在调谐电压范围内的 $C_{var, max}/C_{var, min}$ 约等于 2.5。

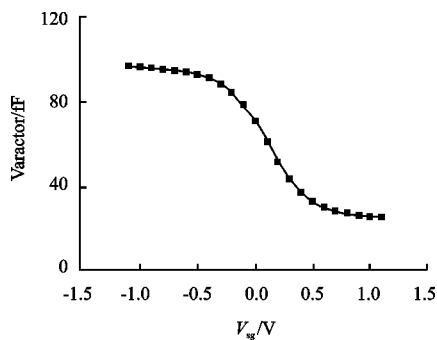


图4 可变电容的 C-V 曲线

由式(2)可知,为了扩大调谐范围,应增大 C_{var}/C_{fix} 的比值。在本文振荡器中,设计交叉管为满足起振条件下的最小尺寸,以减小交叉管引入的 C_1 ,并降低功耗。缓冲放大器接在 L_1 和 L_2 之间,寄生电容 C_{gs} 、 C_{gd} 、 C_{db} 和 C_{gb} 都贡献给了 C_2 ,从而可以增大 k ,提高振荡频率。但寄生电容的引入会降低调谐范围,

选择放大管尺寸略大于交叉管尺寸。

3.2 电感设计

片上电感是限制振荡器性能的重要因素。电感的大小和品质因数决定了面积、功耗、调谐范围和相位噪声等性能。根据相位噪声公式,振荡器的相位噪声与谐振回路品质因数 Q 成反比^[2]。因此必须设计高品质因数的电感以优化相位噪声。电感大小决定了芯片面积,振荡器中一般采用差分对称电感以节约面积。在电磁仿真工具 HFSS 中仿真设计毫米波段电感,为保证设计的精确度,电感设计过程中采取以下措施^[5]: ①在电磁仿真工具中建立与工艺库中低频段相同尺寸的电感,将电磁仿真结果与工艺库中进行对比,优化仿真方法以减小仿真结果与工艺库中的差值,提高毫米波段电磁仿真模型的准确性; ②设计仿真中心抽头的单圈差分电感,采用顶层铜金属制作电感,降低线圈与衬底间的寄生电容,减小电感寄生串联电阻,从而改善品质因数。本文设计的中心抽头电感和单圈电感尺寸完全相同, L_1 感值约等于 L_2 两倍,图5所示为本文设计的中心抽头电感。

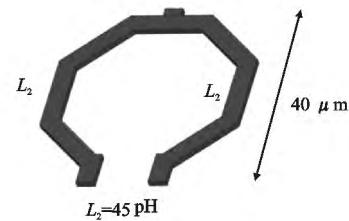


图5 本文设计的中心抽头电感

将 HFSS 电磁仿真得到的电感 S 参数文件在 ADS 中拟合成集总等效电路模型,以适用于电路仿真,如图6所示。其中, L_1 和 L_2 表示互耦电感, R_s 表示电感串联电阻, R_{s1} 和 L_{s1} 表征趋肤效应引起的电阻和电感, C_{ox} 表示电感与衬底间的寄生电容, C_{sub} 和 R_{sub} 表示衬底电容和电阻, C_s 表示线圈金属间电容。

在 HFSS 中建立 SMIC 40 nm CMOS 工艺的简并衬底和微带线模型,采用顶层铜金属制作的特征阻抗为 50 Ω 的微带线,金属宽度经仿真得到为 2.8 μm 。输出缓冲放大器漏端通过调节传输线长度进行阻抗匹配,将输出阻抗匹配到测试设备所需的 50 Ω 。

4 版图和仿真

毫米波版图设计过程中,需要考虑版图寄生和

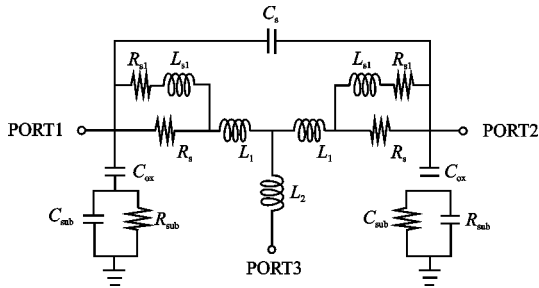


图 6 中心抽头电感的集总等效电路模型

电磁耦合对电路性能的影响. 本文振荡器的版图严格保证对称性, 相邻信号线选用不同层金属. 有源器件区域同电感和微带线保持一定距离, 减小相互之间的电磁耦合影响. 芯片上除器件区域外均用底层的两层金属铺地. 采用 Cadence Virtuoso 工具完成版图设计, 如图 7 所示. 该振荡器核心电路面积为 $150\text{ }\mu\text{m}\times 90\text{ }\mu\text{m}$.

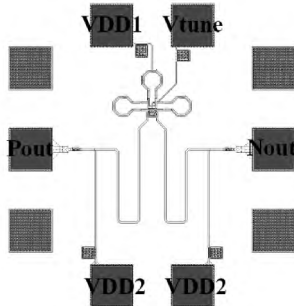


图 7 压控振荡器版图

采用 Cadence Spectre 进行版图后仿真. 调谐电压为 $0\sim 1.1\text{ V}$, 频率调谐范围为 $56.1\sim 61.2\text{ GHz}$ ($5.1\text{ GHz}, 8.7\%$), 调谐曲线如图 8 所示. 缓冲放大器的输出功率为 $-5.8\sim -4.8\text{ dBm}$. 在振荡中心频率处, 频偏 1 MHz 处的相位噪声为 -88 dBc/Hz , 不同调谐电压下的相位噪声曲线如图 9 所示.

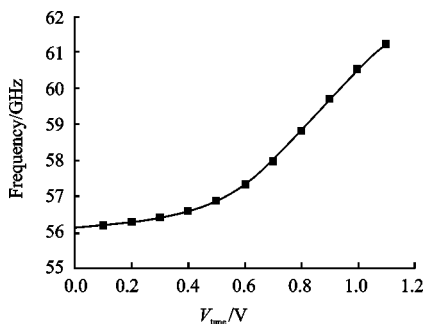


图 8 压控振荡器的调谐曲线

本文的压控振荡器与参考文献的性能对比如表 1 所示. 可见, 该振荡器实现了芯片面积小、功耗低、

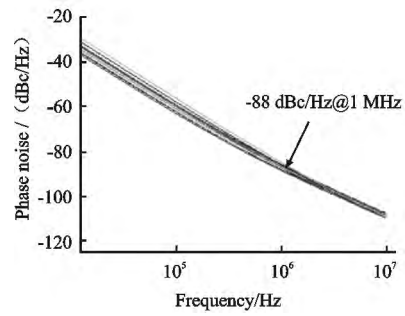


图 9 压控振荡器的相位噪声曲线

较宽的调谐范围和较好的相位噪声.

表 1 压控振荡器性能对比

参数	文献[1]	文献[4]	文献[6]	本文
工艺/nm	90	65	65	40
中心频率/GHz	55.8	59	50	58.7
调谐范围/GHz (%)	5.2 (9.3%)	3.2 (5.4%)	1.9 (3.8%)	5.1 (8.7%)
相位噪声/(dBc/Hz)	-91	-90.3	-87	-88
电源电压/V	0.7	1	1	0.8
功耗/mW	8.1	16.5*	12	3.3
FOM**	-177.2	-168.2	-167.5	-178.2
芯片面积/mm ²	0.008	0.008	0.022 5	0.013 5

注: * 包括缓冲放大器; ** FOM = $P_{\text{Noise}} - 20\log(f_0/\Delta f) + 10\log(P_{\text{dc}}/1\text{ mW})$.

5 结束语

本文设计了一款应用于毫米波频率综合器的压控振荡器. 通过采用分布式谐振回路, 提高了振荡频率; 优化谐振网络中电容的设计, 提高调谐范围; 采用电磁仿真设计无源电感优化相位噪声; 优化版图设计以减少寄生、失配和干扰. 版图后仿真结果表明, 频率调谐范围为 $56.1\sim 61.2\text{ GHz}$ ($5.1\text{ GHz}, 8.7\%$), 振荡中心频率处的相位噪声为 $-88\text{ dBc}@1\text{ MHz}$. 电源电压 0.8 V 下, 电路功耗为 3.3 mW . 芯片核心面积为 $0.013 5\text{ mm}^2$.

参考文献:

- [1] Li Lianming, Reynaert, P, Steyaert, J. Design and analysis of a 90 nm mmwave oscillator using inductive-division LC tank [J]. IEEE Journal of Solid-State Circuits, 2009, 44(7): 1950-1958.
- [2] 池保勇, 余志平, 石秉学. CMOS 射频集成电路分析与设计 [M]. 北京: 清华大学出版社, 2006.

(下转第 136 页)

所需的资源组合和费用进行了简单的探索和描述,以期帮助用户在订购云计算资源时提供一些参考,指导用户进行决策分析,从而实现按用户实际需要的资源和实际的资源使用量进行计费,最大程度地为用户节省使用云计算资源的费用,这对于真正实现云计算系统的按需付费、提高云计算的资源利用率具有重要的意义。

参考文献:

- [1] Fuqiang Ding, Xing Wu, Hong Li. The research of cloud service billing model and system implementation [C]// 2013 2nd International Conference on Education Reform and Management Innovation, ERMI 2013, Jeju Island, South Korea;IEEE, 2013;34-40.
- [2] 唐箭. 基于用户行为分析的云计算计费系统的分析与设计[J]. 辽宁经济管理干部学院学报, 2009, 45(5): 46-47.
- [3] Marian M, Yong M T. Strategy-proof dynamic re-

source pricing of multiple resource types on federated clouds[C]// Algorithms and Architectures for Parallel Processing, Berlin;Springer, 2010;337-350.

- [4] Shang S F, Jing J L, Wu Y W, et al. Dabgpm: a double auction Bayesian game-based pricing model in cloud market [C] // IFIP International Conference, NPC 2010. Zhengzhou, China;IEEE, 2010;155-164.
- [5] 袁玉宇, 胡文博. 基于 IaaS 云计算平台的弹性计费模型[J]. 中兴通讯技术, 2012, 18(6): 34-37.
- [6] 刘国奇, 刘慧, 高宇, 等. 基于效用的云计算动态资源计费策略[J]. 吉林大学学报: 工学版, 2013, 43(6): 1631-1637.
- [7] 汪德帅, 张一川, 张斌. 支持多租约 SaaS 应用按需服务的负载均衡策略[J]. 东北大学学报: 自然科学版, 2011, 32(3): 352-355.

作者简介:

杨夏妮 女, (1980-), 硕士, 讲师. 研究方向为 Petri 网理论及应用研究、云计算. E-mail: 20509186@qq.com

(上接第 132 页)

- [3] Lin B Y, Liu S I. Analysis and design of d-band injection-locked frequency dividers [J]. IEEE Journal of Solid-State Circuits, 2011, 46(6): 1250-1264.
- [4] Kraemer M, Dragomirescu D, Plana R. A high efficiency differential 60 GHz VCO in a 65 nm CMOS technology for WSN applications [J]. IEEE Microwave and Wireless Components Letters, 2011, 21(6): 314-316.
- [5] Kraemer M, Dragomirescu D, Plana R. Accurate electromagnetic simulation and measurement of millimeter-

wave inductors in bulk CMOS technology [C]// Silicon Monolithic Integrated Circuits in RF Systems (SiRF). New Orleans, USA;IEEE, 2010: 61-64.

- [6] 叶禹, 田彤. 一款基于 65nm CMOS 工艺的高效率 50GHz 压控振荡器及其电感耦合效应的研究[J]. 半导体学报, 2013, 34(7): 1-5.

作者简介:

孙 凯 男, (1991-), 硕士研究生. 研究方向为射频集成电路设计. E-mail: sunkai@ime.ac.cn.